

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0050964  
Application Number

출원년월일 : 2002년 08월 27일  
Date of Application AUG 27, 2002

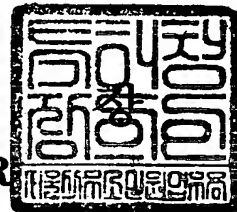
출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 05 월 20 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	2002.08.27
【국제특허분류】	G02F 1/133
【발명의 명칭】	횡전계방식 액정 표시 장치 및 그 제조방법
【발명의 영문명칭】	IN PLANE SWITCHING LIQUID CRYSTAL DISPLAY DEVICE AND METHOD OF FABRICATION THEREOF
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	박장원
【대리인코드】	9-1998-000202-3
【포괄위임등록번호】	1999-055150-5
【발명자】	
【성명의 국문표기】	이준호
【성명의 영문표기】	LEE, Joun Ho
【주민등록번호】	690804-1783417
【우편번호】	702-760
【주소】	대구광역시 북구 동천동 915 칠곡3차 화성타운 105동 702호
【국적】	KR
【발명자】	
【성명의 국문표기】	임청선
【성명의 영문표기】	LIM, Chung Sun
【주민등록번호】	750815-2774512
【우편번호】	156-020
【주소】	서울특별시 동작구 대방동 44-113
【국적】	KR

## 【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대  
리인 박장  
원 (인)

## 【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 3 면 3,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 32,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 액정 표시 장치에 관한 것으로, 특히 고개구율 구조의 횡전계방식 액정 표시 장치에 관한 것으로써, 본 발명은 데이터 라인의 하부에 플로팅 라인을 형성하거나, 또는 공통 전극의 폭을 데이터 라인의 폭보다 넓게 형성하여 데이터 라인의 신호가 데이터 라인과 중첩되어 형성된 공통 전극과 인접하는 화소 전극에 미치는 영향을 차단 할 수 있도록 하여 고화질의 액정 표시 장치를 제공한다.

**【대표도】**

도 5

【명세서】

【발명의 명칭】

횡전계방식 액정 표시 장치 및 그 제조방법{IN PLANE SWITCHING LIQUID CRYSTAL  
DISPLAY DEVICE AND METHOD OF FABRICATION THEREOF}

【도면의 간단한 설명】

도 1은 일반적인 횡전계방식 액정 표시 장치의 개략적인 평면도.

도 2는 도 1에 있어서, I-I선의 단면도.

도 3은 종래 고개구울 구조의 횡전계방식 액정 표시 장치의 개략적인 평면도.

도 4는 도 3에 있어서 II-II선의 단면도.

도 5는 본 발명의 제 1실시예에 따른 횡전계방식 액정 표시 장치의 개략적인 평면  
도.

도 6은 도 5에 있어서 III-III의 단면도.

도 7은 본 발명의 제 2실시예에 따른 횡전계방식 액정 표시 장치의 단면도.

도 8a내지 도 8e는 제 1실시예에 따른 횡전계방식 액정 표시 장치의 공정수순도.

\*\*\*도면의 주요부분에 대한 부호의 설명\*\*\*

102: 데이터 라인      105: 게이트 전극

106a/106b: 소스/드레인 전극    111: 게이트 절연막

113: 보호막          118: 화소 전극

119: 공통 전극      150: 플로팅 라인

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <14>        본 발명은 액정 표시 장치에 관한 것으로, 특히 액정층 내에서 균일한 횡전계의 형성이 가능한 횡전계방식 액정 표시장치 및 그 제조 방법에 관한 것이다.
- <15>        일반적으로, 액정 표시장치는 매트릭스(matrix) 형태로 배열된 액정 셀들에 화상정보에 따른 데이터 신호를 개별적으로 공급하여, 그 액정 셀들의 광투과율을 조절함으로써, 원하는 화상을 표시할 수 있도록 한 표시장치이다.
- <16>        따라서, 액정 표시장치는 화소 단위의 액정 셀들이 매트릭스 형태로 배열되는 액정 패널과; 상기 액정 셀들을 구동하기 위한 드라이버 집적회로(integrated circuit : IC)를 구비한다.
- <17>        상기 액정패널은 서로 대향하는 칼라필터(color filter) 기판 및 박막트랜지스터 어레이 기판과, 그 칼라필터 기판 및 박막트랜지스터 어레이 기판의 이격 간격에 충전된 액정층으로 구성된다.
- <18>        그리고, 상기 액정패널의 박막트랜지스터 어레이 기판 상에는 데이터 드라이버 집적회로로부터 공급되는 데이터 신호를 액정 셀들에 전송하기 위한 데이터 배선들과, 게이트 드라이버 집적회로로부터 공급되는 주사신호를 액정 셀들에 전송하기 위한 게이트 배선들이 서로 직교하며, 이들 데이터 배선들과 게이트 배선들의 교차부마다 액정 셀들이 정의된다. 또한, 상기 데이터 배선들과 게이트 배선들의 일단부에는 상기 데이터 드

라이버 집적회로와 게이트 드라이버 집적회로로부터 데이터 신호와 주사신호가 인가되는 데이터 패드와 게이트 패드가 구비된다.

<19>       상기 게이트 드라이버 집적회로는 게이트 배선들에 순차적으로 주사신호를 공급함으로써, 매트릭스 형태로 배열된 액정 셀들이 1개 라인씩 순차적으로 선택되도록 하고, 그 선택된 1개 라인의 액정 셀들에는 데이터 드라이버 집적회로로부터 데이터 신호가 공급된다.

<20>       고화질, 저전력의 표시장치로서 주로 사용되는 트위스트네마틱 모드(twisted nematic mode) 액정 표시장치(liquid crystal display device)는 시야각이 좁다는 단점이 있다. 이것은 액정분자의 굴절을 이방성(refractive anisotropy)에 기인하는 것으로, 기판과 수평하게 배향된 액정분자가 액정패널(liquid crystal display panel)에 전압이 인가될 때 기판과 거의 수직방향으로 배향되기 때문이다.

<21>       따라서, 액정분자를 기판과 거의 수평한 방향으로 배향하여 시야각 문제를 해결하는 횡전계방식 액정 표시장치(In Plane Switching mode LCD)가 최근에 활발하게 연구되고 있다.

<22>       일반적으로, 횡전계방식 액정 표시장치는 칼라필터가 형성된 상부 기판과 박막트랜지스터와 공통 전극 및 화소 전극이 함께 형성된 하부기판과 그 사이에 형성된 액정층으로 구성된다.

<23>       도 1은 일반적인 횡전계방식 액정 표시장치의 박막트랜지스터 어레이 기판을 도시한 평면도이다.

<24> 도면에 도시한 바와 같이, 제 1기판 위에 게이트 라인(1) 및 데이터 라인(2)이纵横으로 배열되어 화소영역을 정의한다. 실제의 액정 표시 장치에서는 n개의 게이트 라인(1)과 m개의 데이터 라인(2)이 교차하여 n×m개의 화소가 존재하지만, 도면에는 설명을 간단하게 하기 위해 단지 한 화소만을 나타내었다. 게이트 라인(1)과 데이터 라인(2)의 교차점에는 게이트 전극(5), 반도체층(15) 및 소스/드레인 전극(6a,6b)으로 이루어진 박막트랜지스터(thin film transistor)가 배치되어 있으며, 화소영역 내에 상기한 게이트 라인(1)과 대략 평행하게 공통 라인(3)이 배열되어 있다. 또한, 화소 내에는 서로 평행하게 배열되어 액정분자를 스위칭 시키는 적어도 한쌍의 전극 즉, 화소 전극(8)과 공통 전극(9)이 형성되어 있다. 화소 전극(8)은 박막트랜지스터의 드레인 전극(6b)에 연결되고 공통 전극(9)은 공통 라인(3)에 연결되어 박막트랜지스터를 통해 외부로부터의 전압이 인가되어 양전극(8, 9) 사이에 형전계가 발생한다.

<25> 도 2는 도 1의 I-I선의 단면도로써, 칼라필터 기판 및 액정층을 포함하는 단면을 도시한 것이다.

<26> 도면에 도시한 바와 같이, 투명한 기판(7)위에 형성된 박막트랜지스터, 공통 전극(9) 및 화소 전극(8)을 포함하는 박막트랜지스터 기판(10)과 투명한 기판(26) 위에 형성된 광차단막(21), 칼라필터(23) 및 오버코트막(25)을 포함하는 칼라필터 기판(20)이 그 사이에 충진된 액정층(30)을 사이에 두고, 액정층 사이에 배치된 스페이서(31)에 의해서 일정한 셀갭을 유지하고 있다.

<27> 박막트랜지스터는 게이트 전극(5), 소스/드레인 전극(6a,6b) 및 반도체층(15)과 오믹콘택층(14)으로 이루어진 액티브층을 포함하고, 상기 게이트 전극(5)과 반도체층(15) 사이에는 이들 간의 절연을 위하여 게이트 절연막(11)이 개재되어 있다.



- <28> 또한, 화소영역에는 박막트랜지스터의 게이트 전극 형성시 함께 형성된 공통 전극(9)과 소스/드레인 전극(6a/6b) 형성시 함께 형성된 화소 전극(8)이 상기 공통 전극(9)과 일정 간격 떨어져 형성되어 있으며, 박막트랜지스터 및 화소 영역 상부의 전면에 걸쳐서 보호막(13)이 형성되어 있다.
- <29> 그러나, 상기와 같은 종래 횡전계방식 액정 표시 장치는 화소 전극과 공통 전극이 동일 기판 상에 형성되기 때문에 개구율이 떨어지는 문제점이 있다. 즉, 상기 화소 전극(8) 및 공통 전극(9)이 불투명 금속으로 이루어지기 때문에 상기 각 전극(화소 전극, 공통 전극)이 형성된 부분에서는 백라이트로부터 빛이 통과하지 못하게 되므로 상기 전극들이 차지하는 면적만큼 개구부에서 제외된다. 따라서, 상기와 같은 문제를 해결하기 위해서 공통 전극과 화소 전극을 투명 전극으로 형성함으로써, 개구율을 향상시켰다.
- <30> 도 3 내지 도 4는 종래 고개구율 구조의 횡전계방식 액정 표시 장치를 도시한 도면이다.
- <31> 도면에 도시한 바와 같이, 화소 영역에 배치된 공통 전극(19)과 화소 전극(18)을 투명 전극으로 형성하고, 데이터 라인(2)과 공통 전극(19) 사이에는 유전율이 낮은 유기 물질을 보호막(13)으로 사용함으로써, 개구율을 향상시킬 수 있다. 이때, 공통 전극(19)은 인접하는 두 화소의 경계면 즉, 데이터 라인(2) 상부에 형성되어, 인접하는 두 화소 전극(18)과 횡전계(실선)를 발생시키게 된다.
- <32> 그러나, II-II의 절단면에 도시한 바와 같이(도 4참조), 상기 공통 전극(19)의 하부에 배치된 데이터 라인(2)은 상기 공통 전극(19)에 인접하는 화소 전극(18)과 또 다른 전계(점선)를 발생시켜 공통 전극(19)과 화소 전극(18) 사이의 횡전계를 왜곡시킴으로

화소의 가장자리 영역 즉, 데이터 라인(2)과 인접하는 화소 전극(18) 사이에 빛이 샘으로써 화면상에 크로스토크(cross talk)를 발생시키는 문제점이 있었다.

**【발명이 이루고자 하는 기술적 과제】**

<33> 따라서, 본 발명은 상기한 바와 같은 종래의 문제점을 해결하기 위하여 이루어진 것으로, 데이터 라인 하부에 플로팅(floating) 라인을 형성함으로써, 데이터 라인에 중첩되어 형성된 공통 전극과 상기 공통 전극과 인접하는 화소 전극 사이에 균일한 횡전계 형성이 가능하도록 하여 고화질의 횡전계방식 액정 표시 장치 및 그 제조 방법을 제공하는데 그 목적이 있다.

<34> 기타 본 발명의 목적 및 특징은 이하의 발명의 구성 및 특허청구범위에서 상세히 기술될 것이다.

**【발명의 구성 및 작용】**

<35> 상기한 바와 같은 본 발명의 목적을 달성하기 위한 횡전계방식 액정 표시 장치는 제 1기판 및 제 2기판과; 상기 제 1기판 위에 종횡으로 배열되어 화소 영역을 정의하는 게이트 라인 및 데이터 라인과; 상기 게이트 라인 및 데이터 라인의 교차점에 형성된 박막트랜지스터와; 상기 데이터 라인 하부에 데이터 라인과 평행하게 배치된 플로팅 라인과; 상기 게이트 라인에 평행하게 배치된 공통 라인과; 상기 공통 라인과 접속하고, 상기 데이터 라인과 중첩되도록 형성된 공통 전극과; 상기 공통 전극과 일정 간격 이격되어 형성된 화소 전극과; 상기 제 1기판과 제 2기판 사이에 형성된 액정층을 포함하여 이루어진다.

- <36>      상기 플로팅 라인은 게이트 절연막을 사이에 두고, 상기 데이터 라인과 평행하게 배치되어, 데이터 라인으로부터 인가되는 데이터 신호가 화소 전극으로 커플링 되어 넘어가는 비율을 감소시켜주는 역할을 한다.
- <37>      상기 공통 전극은 보호막을 사이에 두고 데이터 라인과 평행하게 배치되어 있으며, 상기 보호막은 유기물질로 이루어진다.
- <38>      상기 공통 전극 및 화소 전극은 고개구율을 위하여 투명한 물질로 이루어져 있으며, 보호막 상의 동일 평면상에 형성된다.
- <39>      또한, 본 발명은 상기 플로팅 라인을 형성하지 않고, 공통 전극의 폭을 증가시켜 데이터 라인의 신호가 화소 전극에 미치는 영향을 차단시킬 수도 있다.
- <40>      또한, 본 발명의 목적을 달성하기 위한 횡전계방식 액정 표시 장치의 제조 방법은 제 1 및 제 2기판을 준비하는 단계와; 상기 제 1기판 상에 게이트 라인 및 상기 게이트 라인과 수직 교차되도록 플로팅 라인을 형성하는 단계와; 상기 플로팅 라인에 중첩되도록 데이터 라인을 형성하는 단계와; 상기 게이트 라인과 데이터 라인의 교차점에 박막트랜지스터를 형성하는 단계와; 상기 박막트랜지스터 및 화소영역에 보호막을 형성하는 단계와; 상기 보호막 상에 공통 전극 및 화소 전극을 형성하는 단계를 포함하여 이루어진다. 이때, 상기 공통 전극은 데이터 라인과 중첩되도록 형성해야 한다.
- <41>      상기한 바와 같은 본 발명의 횡전계방식 액정 표시 장치를 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.
- <42>      도 5는 본 발명의 제 1실시예에 따른 횡전계방식 액정 표시 장치를 도시한 평면도이다.

- <43> 도면에 도시한 바와 같이, 본 발명에 따른 횡전계방식의 액정 표시 장치는 게이트 라인(101) 및 데이터 라인(102)이 중첩으로 배열되어 화소영역을 정의하고, 상기 게이트 라인(101)과 평행하게 공통 라인(103)이 배치되어 있다.
- <44> 또한, 상기 공통 라인(103)에서 수직으로 분기된 적어도 한 개 이상의 공통 전극(119)이 형성되어 있으며, 상기 공통 전극(119)은 제 1콘택홀(112a)을 통하여 상기 공통 라인(103)과 전기적으로 접속한다. 이때, 상기 공통 전극(119)은 데이터 라인(102)과 중첩되어 형성되어, 인접하는 두 화소 전극(118) 간에 횡전계를 발생시킨다. 상기 화소 전극(118)은 공통 전극(119)과 소정의 간격을 두고 서로 엇갈리게 배치 되어 있다.
- <45> 한편, 상기 게이트 라인(101)으로부터 분기된 게이트 전극(105)과 상기 데이터 라인(102)으로부터 분기된 소스 전극(106a)과 드레인 전극(106b) 및 반도체층(115)으로 이루어진 박막트랜지스터가 상기 게이트 라인(101)과 데이터 라인(102)의 교차점에 배치되어 있다. 그리고, 상기 드레인 전극(106b)은 제 2콘택홀(108a)을 통하여 상기 화소 전극(118)과 접속된다. 이때, 상기 화소 전극(118)은 상기 공통 라인(103)과 중첩되어 형성된 소스/드레인 전극 라인(112)과 제 3콘택홀(118a)을 통하여 연결된다.
- <46> 상기 소스/드레인 전극(106a,106b)과 그 하부에 형성된 공통 라인(103)은 이들 사이에 개재된 게이트 절연막(미도시)에 의해서 커패시터를 형성하게 된다.
- <47> 또한, 상기 데이터 라인(102)의 하부에는 게이트 절연막(미도시)을 사이에 두고 두 줄기의 플로팅 라인(150)이 형성되어 있다. 상기 플로팅 라인(150)은 게이트 라인(101) 형성시 함께 형성된 것으로, 상기 데이터 라인(102)과 중첩되어 형성된 공통 전극(119)이 인접하는 두 화소 전극(118)간에 횡전계를 균일하게 해주기 위해서 형성된 것이다. 즉,

데이터 라인(102)을 통해 지나가는 데이터 신호가 상기 공통 전극(119)과 인접하는 화소 전극(118)과 커플링되어 공통 전극(119)과 화소 전극(118) 간에 형성된 횡전계에 영향을 주게된다. 따라서, 이를 해결하기 위하여 데이터 신호를 차단시킬 수 있는 플로팅 라인(150)을 형성한 것이다.

<48> 이하, 도 5의 단면도를 통하여 본 발명에 대하여 좀더 상세히 설명하도록 한다.

<49> 도 6은 도 5에 있어서, III-III선의 단면을 도시한 것이다.

<50> 도면에 도시한 바와 같이, 투명 기판(107) 상에 게이트 절연막(111)을 사이에 두고 두 줄기의 플로팅 라인(150)과 데이터 라인(102)이 나란하게 형성되어, 데이터 라인(102)의 신호가 그 상부에 형성된 공통 전극(119)과 인접하는 화소 전극(118)의 신호간섭을 막아준다. 한편, 데이터 라인(102)과 공통 전극(119)의 사이에는 보호막(113)이 개재되어 있으며, 이때, 상기 보호막(113)은 무기막에 비해서 유전율이 낮은 유기물질로 형성되어 있다.

<51> 상기 보호막(113) 상에 형성된 공통 전극(119) 및 화소 전극(118)은 ITO 또는 IZO와 같은 투명물질로 형성되어 개구율을 더욱 향상시킨다.

<52> 상기 플로팅 라인(150)은 공통 전극(119) 보다 안쪽에 형성되어 있으며, 데이터 라인(102)의 신호가 화소 전극(118) 쪽으로 넘어가는 것을 차단해주는 역할을 한다.

<53> 또한, 상기 플로팅 라인(150)은 게이트 전극물질로 형성되어 있으며, 데이터 라인(102) 하부의 양쪽 옆에 두 개의 라인으로 형성되어 각각의 라인(150)이 데이터 라인(102)의 신호와 커플링을 이룬다.

<54> 본 발명에 따른 제 2실시예는 상기 제 1실시예의 변형된 예이다.

- <55> 도 7은 본 발명에 따른 제 2실시예의 단면도를 도시한 것으로, 도면에 도시한 바와 같이, 데이터 라인(102) 하부에 플로팅 라인(150)을 형성하되, 단일 라인으로 형성할 수도 있다.
- <56> 본 발명은 상기 화소 전극(118) 쪽으로 넘어가는 데이터 라인(102)의 신호를 차단할 수 있는 구조라면 플로팅 라인(150)의 어떠한 변형이라도 가능하다.
- <57> 또는, 플로팅 라인을 형성하는 대신, 데이터 라인(102)과 중첩되는 공통 전극(119)의 폭을 넓혀 줌으로써, 데이터 라인(102)의 신호를 차단시킬 수도 있다.
- <58> 이하, 도 8a내지 도 8e의 공정단면 수순도를 참조하여 본 발명에 따른 횡전계방식 액정 표시장치의 제조방법에 대하여 상세히 설명한다.
- <59> 먼저, 도 8a에 도시한 바와 같이, 투명한 기판(107) 위에 Al, Mo, Ti, Cu, Ta, 또는 Al 합금과 같은 금속을 스퍼터링 방법으로 증착한 후, 패터닝하여 박막트랜지스터의 게이트 전극(105) 및 플로팅 라인(150)을 형성한다. 이때, 도 5에 도시된 게이트 라인(101) 및 공통 라인(103)도 함께 형성된다.
- <60> 이어서, 도 8b에 도시한 바와 같이, 상기 게이트 전극(105) 및 기판(107)의 전면에 걸쳐서  $\text{SiN}_x$  또는  $\text{SiO}_x$  등을 플라즈마 CVD 방법으로 증착하여 게이트 절연막(111)을 형성한 다음, 그 상부에 비정질 실리콘, n+ 비정질 실리콘을 적층하고 패터닝하여 박막트랜지스터의 반도체층(115) 및 오믹접촉층(114)을 형성한다.
- <61> 그 다음, 도 8c에 도시한 바와 같이, Al, Mo, Ta, Cu, Cr, Ti, Al합금과 같은 금속을 스퍼터링 방법으로 증착한 다음 패터닝하여 박막트랜지스터의 소스/드레인 전극(106a, 106b) 및 데이터 라인(102)을 형성한 후, 상기 소스/드레인 전극(106a, 106b)을 마

스크로 하여 소스 전극(106a)과 드레인 전극(106b) 사이에 형성된 오믹접촉층(114)을 제거하고 반도체층(115)을 노출시킨다.

<62>        그 다음, 도 8d에 도시한 바와 같이, 상기 반도체층(115)을 포함한 소스/드레인 전극(106a, 106b) 및 화소영역의 게이트 절연막(111) 상부 전면에서 걸쳐서 BCB(benzocyclobutene)나 아크릴(Acryl)과 같은 유기물을 적층한 후, 패터닝하여 상기 드레인 전극(106b)의 일부를 노출시키는 보호막(113)을 형성한다.

<63>        그 다음, 도 8e에 도시한 바와 같이, 상기 보호막(113) 상에, ITO 또는 IZO를 스퍼터링 방법으로 증착한 다음 패터닝하여 공통 라인에 접속되는 공통 전극(119)과, 상기 박막트랜지스터의 드레인 전극(106b)과 접속되는 화소 전극(118)을 형성한다. 이때, 공통 전극(119)과 화소 전극(118)은 서로 엇갈린 구조로 소정간격 이격되어 형성되어 있으며, 상기 공통 전극(119)은 데이터 라인(102)과 중첩되어 형성된다. 그 다음, 투명한 기판(126) 상에 블랙매트릭스(121) 및 칼라필터(123)를 형성한 후, 그 상부에 오버코팅막(125)을 형성하여 박막트랜지스터 기판과 서로 합착한다. 이때, 상기 블랙매트릭스(121)는 하부 기판에 형성된 박막트랜지스터 및 게이트 라인(101)과 데이터 라인(102)에 대응하는 영역에 형성된다.

<64>        상술한 바와 같이, 본 발명은 공통 전극이 데이터 라인과 중첩되어 형성된 고개구율 구조의 횡전계방식 액정 표시 장치에 있어서, 데이터 라인의 하부에 플로팅 라인을 형성하거나, 또는 공통 전극의 폭을 데이터 라인의 폭보다 넓게 형성하여 데이터 라인의 신호가 데이터 라인과 중첩되어 형성된 공통 전극과 인접하는 화소 전극에 미치는 영향을 차단할 수 있다.

**【발명의 효과】**

<65> 따라서, 본 발명은 데이터 라인에 인접하는 영역에서 공통 전극과 화소 전극간의 균일한 횡전계를 형성함으로써, 화소 전극의 가장자리에서 발생하는 빛샘으로 인한 크로스토크를 방지할 수 있는 효과가 있다.



**【특허청구범위】****【청구항 1】**

제 1기판 및 제 2기판과;

상기 제 1기판에 종횡으로 배열되어 화소 영역을 정의하는 게이트 라인 및 데이터 라인과;

상기 데이터 라인 하부에 데이터 라인과 평행하게 배치된 플로팅 라인과;

상기 게이트 라인 및 데이터 라인의 교차점에 형성된 스위칭 장치와;

상기 스위칭 장치 및 화소 영역의 전면에 걸쳐 형성된 보호막과;

상기 데이터 라인 하부에 데이터 라인과 평행하게 배치된 플로팅 라인과;

상기 데이터 라인과 중첩되도록 형성된 공통 전극과;

상기 공통 전극과 일정 간격 이격되어 형성된 화소 전극과;

상기 제 1기판과 제 2기판 사이에 형성된 액정층을 포함하여 구성된 것을 특징으로 하는 횡전계방식 액정 표시 장치.

**【청구항 2】**

제 1항에 있어서, 상기 박막트랜지스터는 상기 게이트 라인으로부터 인출된 게이트 전극과;

상기 게이트 전극 위에 형성된 게이트 절연막과;

상기 게이트 절연막 위에 형성된 반도체층과;

상기 반도체층 위에 형성된 오믹접촉층과;

상기 오믹접촉층 위에 형성되어, 상기 데이터 라인으로부터 인출된 소스 전극 및 드레인 전극을 포함하여 구성된 것을 특징으로 하는 횡전계방식 액정 표시장치.

**【청구항 3】**

제 1항에 있어서, 상기 게이트 라인과 평행하게 배치된 공통 라인을 추가로 포함하고 있는 것을 특징으로 하는 횡전계방식 액정 표시장치.

**【청구항 4】**

제 1항에 있어서, 상기 공통 전극과 화소 전극은 동일한 평면상에 형성되어 있는 것을 특징으로 하는 횡전계방식 액정 표시 장치.

**【청구항 5】**

제 1항에 있어서, 상기 공통 전극과 화소 전극은 보호막 상에 형성되어 있는 것을 특징으로 하는 횡전계방식 액정 표시 장치.

**【청구항 6】**

제 1항에 있어서, 상기 화소 전극 및 공통 전극은 ITO 또는 IZO와 같은 투명한 전극물질로 이루어진 것을 특징으로 하는 횡전계방식 액정 표시장치.

**【청구항 7】**

제 1항에 있어서, 상기 보호막은 벤조사이클로부텐(Benzocyclobutene) 또는 아크릴(Acryl)과 같은 유기 물질로 이루어진 것을 특징으로 하는 횡전계방식 액정 표시장치.

**【청구항 8】**

제 1항에 있어서, 상기 플로팅 라인은 두 개의 라인으로 형성된 것을 특징으로 하는 횡전계방식 액정 표시 장치.

**【청구항 9】**

제 1항에 있어서, 상기 플로팅 라인은 한 개의 라인으로 형성된 것을 특징으로 하는 횡전계방식 액정 표시 장치.

**【청구항 10】**

제 9항에 있어서, 상기 플로팅 라인은 데이터 라인의 폭보다 넓게 형성된 것을 특징으로 하는 횡전계방식 액정 표시 장치.

**【청구항 11】**

제 1항에 있어서, 상기 플로팅 라인은 게이트 라인 형성시 함께 형성된 것을 특징으로 하는 횡전계방식 액정 표시 장치.

**【청구항 12】**

제 1항에 있어서, 상기 제 2기판 상에 블랙 매트릭스와 칼라필터를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정 표시 장치.

**【청구항 13】**

제 1항에 있어서, 상기 게이트 라인에 평행하게 배치된 공통 라인을 추가로 포함하여 구성된 것을 특징으로 하는 횡전계방식 액정 표시 장치.

**【청구항 14】**

제 1기판 및 제 2기판과;

상기 제 1기판에 종횡으로 배열되어 화소 영역을 정의하는 게이트 라인 및 데이터 라인과;

상기 게이트 라인에 평행하게 배치된 공통 라인과;

상기 데이터 라인과 중첩되도록 형성되고, 게이트 라인과 동일한 평면상에 형성된 플로팅 라인과;

상기 게이트 라인과 데이터 라인의 교차점에 형성된 박막트랜지스터와;

상기 박막트랜지스터 및 화소 영역의 전면에 걸쳐 형성된 유기 보호막과;

상기 보호막 상에 형성되고, 상기 데이터 라인에 중첩되어 형성된 공통 전극과;

상기 보호막 상에 형성되고, 상기 공통 전극과 서로 엇갈린 구조로 형성된 화소 전극과;

상기 제 1 및 제 2기판 사이에 형성된 액정층을 포함하여 구성된 것을 특징으로 하는 횡전계방식 액정 표시 장치.

#### 【청구항 15】

화소 영역이 정의된 제 1 및 제 2기판을 준비하는 단계와;

상기 제 1기판 상에 게이트 라인 및 상기 게이트 라인에 수직 교차되도록 플로팅 라인을 형성하는 단계와;

상기 플로팅 라인에 중첩되도록 데이터 라인을 형성하는 단계와;

상기 게이트 라인과 데이터 라인의 교차점에 박막트랜지스터를 형성하는 단계와;

상기 박막트랜지스터 및 화소 영역에 보호막을 형성하는 단계와;

상기 보호막 상에 데이터 라인에 중첩되는 공통 전극 및 화소 전극을 형성하는 단계와;

상기 제 1 및 제 2기판 사이에 액정층을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 횡전계방식 액정 표시 장치.

**【청구항 16】**

제 15항에 있어서, 박막트랜지스터를 형성하는 단계는

상기 게이트 라인으로부터 인출된 게이트 전극을 형성하는 단계와;

상기 게이트 전극 위에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위에 액티브층 및 상기 액티브층의 중심부를 노출시키는 오믹 접촉층을 형성하는 단계와;

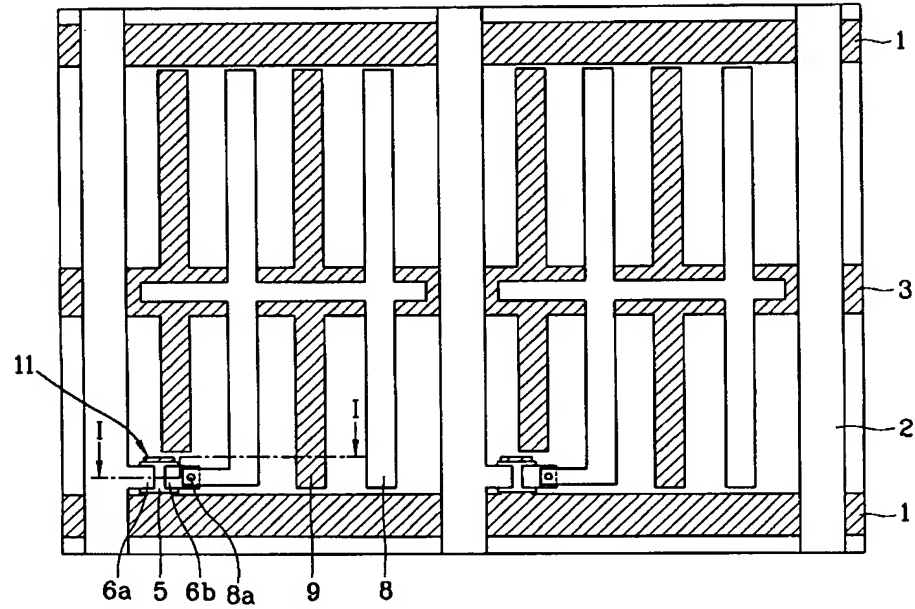
상기 오믹접촉층 위에 상기 데이터 라인으로부터 인출된 소스 전극과 드레인 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 횡전계방식 액정 표시 장치의 제조방법.

**【청구항 17】**

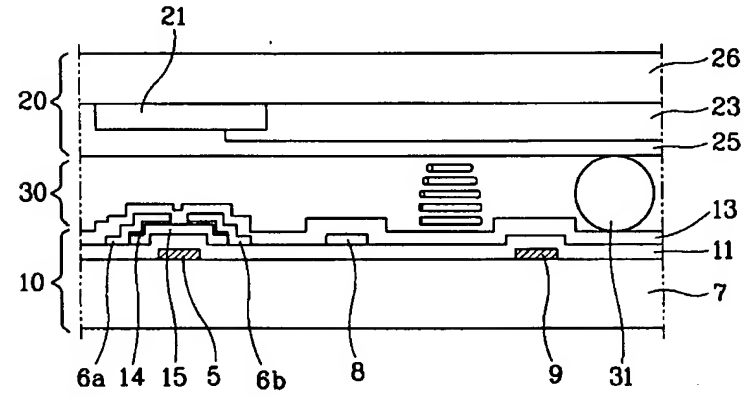
제 15항에 있어서, 상기 제 2기판 상에 블랙매트릭스와 칼라필터를 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정 표시 장치의 제조방법.

【도면】

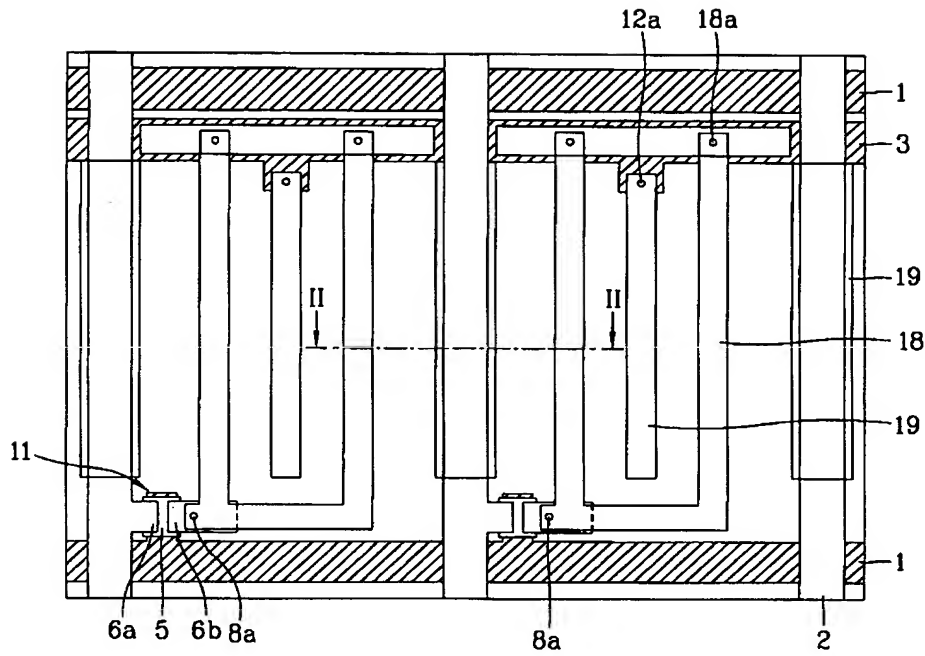
【도 1】



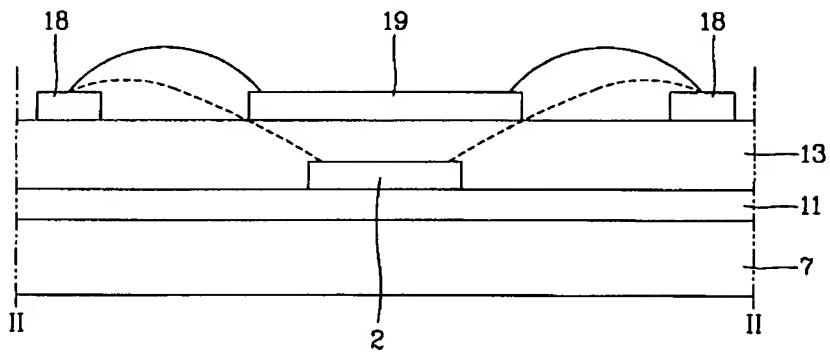
【도 2】



【도 3】



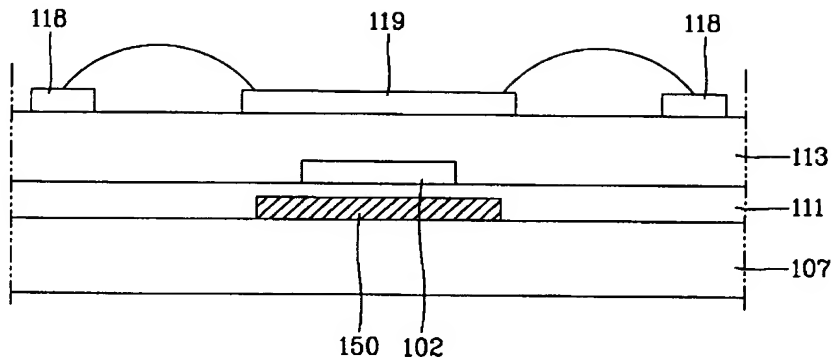
【도 4】



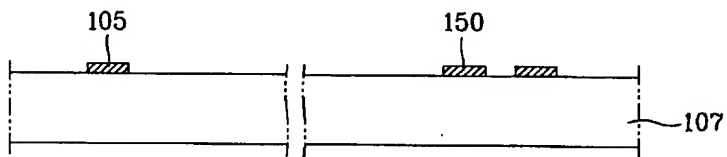
This cross-sectional view shows a substrate 107 with a first conductive layer 111 and a second conductive layer 113. A central gate stack 102 is formed on the second conductive layer 113, consisting of a gate dielectric 119 and a gate electrode 118. The gate electrode 118 is connected to a source/drain region 150. The source/drain region 150 is formed in the substrate 107 and is electrically connected to the gate electrode 118. The source/drain region 150 is also connected to a second conductive layer 113. The source/drain region 150 is electrically connected to the gate electrode 118. The source/drain region 150 is electrically connected to the gate electrode 118.



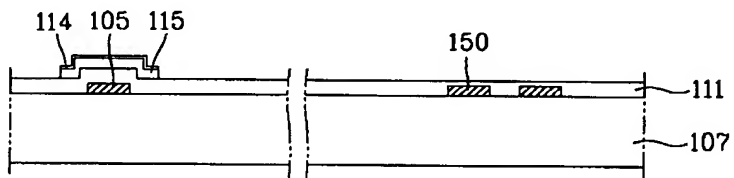
【도 7】



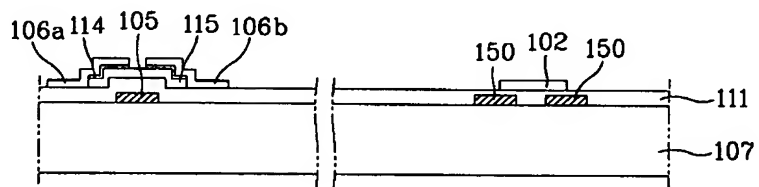
【도 8a】



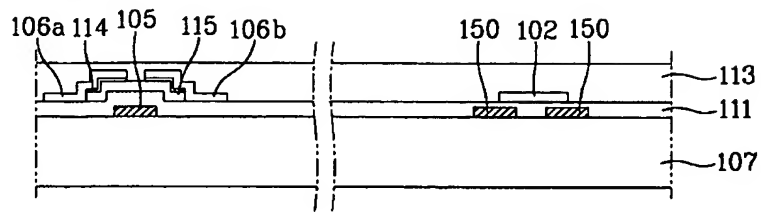
【도 8b】



【도 8c】



【도 8d】



【도 8e】

